

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 5 月 1 4 日
Date of Application:

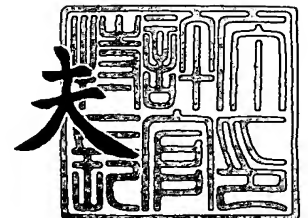
出 願 番 号 特 願 2 0 0 3 - 1 3 5 4 5 0
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 1 3 5 4 5 0]

出 願 人 沖電気工業株式会社
Applicant(s):

2 0 0 3 年 9 月 2 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 KA003890

【提出日】 平成15年 5月14日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H03M 1/44

【発明者】

 【住所又は居所】 東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電気工業株式会
社内

 【氏名】 本松 良

【特許出願人】

 【識別番号】 000000295

 【氏名又は名称】 沖電気工業株式会社

【代理人】

 【識別番号】 100086807

 【弁理士】

 【氏名又は名称】 柿本 恭成

【手数料の表示】

 【予納台帳番号】 007412

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9001054

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 パイプライン型アナログ・デジタル変換器

【特許請求の範囲】

【請求項 1】 アナログの入力電圧を 1.5 ビットのデジタル信号に変換するサブ AD 変換器と、前記デジタル信号をアナログ電圧に変換するサブ DA 変換器と、前記入力電圧と前記アナログ電圧との差電圧を標本化及び保持してその保持した差電圧を増幅する増幅器とを備えたアナログ・デジタル変換ステージを複数段縦続接続し、クロック信号に基づいてパイプライン処理を行うことによって変換対象のアナログ入力信号に対応する所定ビット数のデジタル出力信号を得るパイプライン型アナログ・デジタル変換器において、

前記複数のアナログ・デジタル変換ステージのうちで前記アナログ入力信号が与えられる初段のアナログ・デジタル変換ステージは、

前記アナログ入力信号を標本化及び保持して該アナログ入力信号の $1/N$ （但し、 N は 2 または 4）の電圧を第 1 のアナログ電圧として出力する第 1 の増幅器と、

前記第 1 のアナログ電圧を 1.5 ビットの第 1 のデジタル信号に変換する第 1 のサブ AD 変換器と、

前記第 1 のデジタル信号を第 2 のアナログ電圧に変換する第 1 のサブ DA 変換器と、

前記第 1 及び第 2 のアナログ電圧の差電圧を標本化及び保持して該保持した差電圧を N 倍に増幅して第 3 のアナログ電圧を出力する第 2 の増幅器と、

前記第 3 のアナログ電圧を 1.5 ビットの第 2 のデジタル信号に変換する第 2 のサブ AD 変換器と、

前記第 2 のデジタル信号を第 4 のアナログ電圧に変換する第 2 のサブ DA 変換器と、

前記第 3 及び第 4 のアナログ電圧の差電圧を標本化及び保持して該保持した差電圧を 2 倍に増幅して次段のアナログ・デジタル変換ステージへ与える第 3 の増幅器と、

前記第 1 及び第 2 のデジタル信号に基づいて最上位ビットに対応する 1.5

ビットのデジタル信号を生成する判定部とを、

備えたことを特徴とするパイプライン型アナログ・デジタル変換器。

【請求項 2】 アナログの入力電圧を 1.5 ビットのデジタル信号に変換するサブ AD 変換器と、前記デジタル信号をアナログ電圧に変換するサブ DA 変換器と、前記入力電圧と前記アナログ電圧との差電圧を標本化及び保持してその保持した差電圧を増幅する増幅器とを備えたアナログ・デジタル変換ステージを複数段縦続接続し、クロック信号に基づいてパイプライン処理を行うことによって変換対象のアナログ入力信号に対応する所定ビット数のデジタル出力信号を得るパイプライン型アナログ・デジタル変換器において、

前記複数のアナログ・デジタル変換ステージのうちで前記アナログ入力信号が与えられる初段のアナログ・デジタル変換ステージは、

前記アナログ入力信号に基準電圧を加えた電圧を保持して出力する第 1 の保持部と、

前記アナログ入力信号を保持して出力する第 2 の保持部と、

前記アナログ入力信号から前記基準電圧を減じた電圧を保持して出力する第 3 の保持部と、

前記アナログ入力信号を前記基準電圧の $\pm 1/2$ の電圧と比較して 1.5 ビットの第 1 のデジタル信号に変換する第 1 のサブ AD 変換器と、

前記第 1、第 2 及び第 3 の保持部から出力される電圧の 1 つを前記第 1 のデジタル信号に従って選択して第 1 のアナログ電圧として出力する選択部と、

前記第 1 のアナログ電圧を 1.5 ビットの第 2 のデジタル信号に変換する第 2 のサブ AD 変換器と、

前記第 2 のデジタル信号を第 2 のアナログ電圧に変換するサブ DA 変換器と、

前記第 1 及び第 2 のアナログ電圧の差電圧を標本化及び保持して該保持した差電圧を 2 倍に増幅して次段のアナログ・デジタル変換ステージへ与える増幅器と、

前記第 1 及び第 2 のデジタル信号に基づいて最上位ビットに対応する 1.5 ビットのデジタル信号を生成する判定部とを、

備えたことを特徴とするパイプライン型アナログ・デジタル変換器。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、1. 5 ビットのアナログ・デジタル変換器（以下、「ADC」という）を縦続接続して構成したパイプライン型ADCに関するものである。

【0 0 0 2】

【従来の技術】

【0 0 0 3】

【特許文献 1】 特開平 1 0 - 1 7 8 3 4 5 号公報

【特許文献 2】 特開 2 0 0 2 - 3 1 4 4 2 0 号公報

【0 0 0 4】

図 2（a）～（c）は、従来のパイプライン型ADCの概略を示す構成図である。

【0 0 0 5】

このパイプライン型ADCは、図 2（a）に全体構成を示すように、タイミング信号TMに基づいて、アナログ入力信号AIを一定周期で標本化して保持するサンプル・ホールド増幅器（以下、「SHA」という）1を有している。SHA 1の出力側には、縦続接続された1. 5 ビットのアナログ・デジタル変換ステージ（以下、「STG」という） $2_1 \sim 2_m$ が接続されている。

【0 0 0 6】

各STG $2_1 \sim 2_m$ は、図 2（b）にその構成を示すように、サブADC（以下、「SADC」という）3、サブ・デジタル・アナログ変換器（以下、「SDAC」という）4、減算器5、及び電圧増幅度が2に設定されたSHA 6で構成されている。SADC 3は、入力電圧VIを基準電圧 $\pm VR/4$ と比較して、 $-VR/4$ 以下、 $-VR/4 \sim +VR/4$ 、 $+VR/4$ 以上の3つの電圧範囲の内のいずれに入っているかを検出するもので、この検出結果を示す1. 5 ビットの信号A、B、Cが、SDAC 4に与えられるようになっている。

【0 0 0 7】

S D A C 4 は、信号 A, B, C に従って、 $-V_R/2$, 0, $+V_R/2$ の電圧を出力するものである。S D A C 4 の出力側は、減算器 5 の－入力端子に接続され、この減算器 5 の＋入力端子には入力電圧 V_I が与えられている。減算器 5 は、入力電圧 V_I から S D A C 4 の出力電圧を減算し、その差電圧を S H A 6 に与えるものである。S H A 6 は、減算器 5 から与えられた差電圧を 2 倍に増幅し、その増幅した電圧を保持して出力電圧 V_O として出力するものである。

【0008】

最終段の S T G 2_m の出力側には、この S T G 2_m から出力される電圧を 2 ビットのデジタル信号に変換する S A D C 7 が接続されている。各 S T G 2₁ ～ 2_m の判定結果の信号 A, B, C と、S A D C 7 で変換されて出力されたデジタル信号 D は、エンコーダ 8 に与えられている。また、これらの S H A 1、S T G 2₁ ～ 2_m、S A D C 7、及びエンコーダ 8 には、タイミング生成部 9 で生成されたタイミング信号 T M が与えられるようになっている。

【0009】

エンコーダ 8 は、各 S T G 2₁ ～ 2_m から出力される判定結果の信号 A, B, C を、タイミング信号 T M に基づいて順次シフトして保持し、S A D C 7 から出力されるデジタル信号 D に対応して、アナログ入力信号 A I に対する各 S T G 2₁ ～ 2_m の判定結果をパイプライン処理することによって、デジタル信号 D O を生成して出力するものである。

【0010】

図 2 (c) は、各 S T G 2₁ ～ 2_m の動作を示す入出力特性図である。以下、この図 2 (c) を参照しつつ、動作を説明する。

【0011】

アナログ入力信号 A I は、S H A 1 によってタイミング信号 T M に基づいて標本化及び保持される。保持された信号は、入力電圧 V_I として初段の S T G 2₁ に与えられ、この S T G 2₁ 内の S A D C 3 で基準電圧 $\pm V_R/4$ と比較判定される。判定結果は、信号 A, B, C の内のいずれか 1 つを “1” とすることによって出力される。

【0012】

入力電圧 V_I が、 $-V_R/4$ 以下であれば、SADC 3 の判定結果の信号 A は “1” となり、信号 B, C は “0” となる。入力電圧 V_I が、 $-V_R/4 \sim +V_R/4$ であれば、信号 B は “1” となり、信号 A, C は “0” となる。また、入力電圧 V_I が、 $+V_R/4$ 以上であれば、信号 A, B は “0” となり、信号 C は “1” となる。これらの信号 A, B, C は、エンコーダ 8 と SDAC 4 に与えられる。

【0013】

SDAC 4 では、信号 A が “1” の時に基準電圧として $-V_R/2$ が出力され、信号 B, C がそれぞれ “1” の時には、基準電圧としてそれぞれ 0, $+V_R/2$ が出力される。SDAC 4 から出力される基準電圧は減算器 5 に与えられ、この減算器 5 において、入力電圧 V_I からこの基準電圧が減算される。減算器 5 から出力される電圧は、SHA 6 によってタイミング信号 TM に基づいて保持され 2 倍に電圧増幅された後、出力電圧 V_O として出力される。

【0014】

これにより、図 2 (c) に示すように、STG 2₁ の入力電圧 V_I が $-V_R/4$ 以下であれば、その出力電圧 V_O は $-V_R \sim +V_R/2$ の範囲となる。また、入力電圧 V_I が $-V_R/4 \sim +V_R/4$ の間にあれば、その出力電圧 V_O は $-V_R/2 \sim +V_R/2$ の範囲となり、この入力電圧 V_I が $+V_R/4$ 以上であれば、出力電圧 V_O は $-V_R/2 \sim +V_R$ の範囲となる。STG 2₁ の出力電圧 V_O は、次段の STG 2₂ に対して入力電圧 V_I として与えられる。

【0015】

このように、タイミング信号 TM に基づいて各 STG 2₁ ~ 2_m から 1.5 ビットのデジタル信号が出力され、それらがエンコーダ 8 によってパイプライン処理されて、所定ビット数のデジタル信号 DO が生成される。

【0016】

【発明が解決しようとする課題】

しかしながら、従来のパイプライン型 ADC では、次のような課題があった。即ち、各 STG 2 の出力電圧 V_O は、次段の STG 2 の入力電圧 V_I となるため、これら STG 2 を構成する SHA 6 は、入出力電圧が正しく比例するように厳

密な直線性が要求される。直線性が悪いと、増幅時の非直線歪みのために、正確なデジタル値が得られないからである。

【0017】

一方、 $STG\ 2_1 \sim 2_m$ から出力される出力電圧 V_O の範囲は $-V_R \sim +V_R$ となり、これに対応する $SHA\ 6$ の入力電圧の範囲は $-V_R/2 \sim +V_R/2$ である。従って、各 $SHA\ 6$ は広い入力電圧範囲に対して正確な直線性が必要である。更に、変換速度の高速化も要求されている。しかしながら、高精度と高速度は、増幅器にとって相反する要素で両方を同時に最大にすることは不可能である。このため、図2のような従来の構成では、高精度と高速度の要求を同時に満たすようなパイプライン型ADCを得ることはできなかった。

【0018】

【課題を解決するための手段】

前記課題を解決するために、第1の発明は、アナログの入力電圧を1.5ビットのデジタル信号に変換するSADCと、前記デジタル信号をアナログ電圧に変換するSDACと、前記入力電圧と前記アナログ電圧との差電圧を標本化及び保持してその保持した差電圧を増幅する増幅器とを備えたSTGを複数段縦続接続し、クロック信号に基づいてパイプライン処理を行うことによって変換対象のアナログ入力信号に対応する所定ビット数のデジタル出力信号を得るパイプライン型ADCにおいて、前記複数のSTGのうちで前記アナログ入力信号が与えられる初段のSTGを、次のように構成している。

【0019】

即ち、この初段のSTGは、アナログ入力信号を標本化及び保持して該アナログ入力信号の $1/N$ （但し、 N は2または4）の電圧を第1のアナログ電圧として出力する第1の増幅器と、前記第1のアナログ電圧を1.5ビットの第1のデジタル信号に変換する第1のSADCと、前記第1のデジタル信号を第2のアナログ電圧に変換する第1のSDACと、前記第1及び第2のアナログ電圧の差電圧を標本化及び保持して該保持した差電圧を N 倍に増幅して第3のアナログ電圧を出力する第2の増幅器を備えている。

【0020】

更に、このSTGは、前記第3のアナログ電圧を1.5ビットの第2のデジタル信号に変換する第2のSADCと、前記第2のデジタル信号を第4のアナログ電圧に変換する第2のSDACと、前記第3及び第4のアナログ電圧の差電圧を標本化及び保持して該保持した差電圧を2倍に増幅して次段のSTGへ与える第3の増幅器と、前記第1及び第2のデジタル信号に基づいて最上位ビットに対応する1.5ビットのデジタル信号を生成する判定部を備えている。

【0021】

第1の発明によれば、以上のようにパイプライン型ADCを構成したので、初段のSTGによって次のような作用が行われる。

【0022】

アナログ入力信号は、第1の増幅器によって標本化及び保持され、このアナログ入力信号の $1/N$ の電圧が第1のアナログ電圧として出力される。第1のアナログ電圧は、第1のSADCによって1.5ビットの第1のデジタル信号に変換され、更にこの第1のデジタル信号が第1のSDACによって、第2のアナログ電圧に変換される。第1及び第2のアナログ電圧は第2の増幅器へ与えられ、その差電圧が標本化及び保持され、更にN倍に増幅されて第3のアナログ電圧として出力される。

【0023】

第3のアナログ電圧は、第2のSADCによって1.5ビットの第2のデジタル信号に変換され、更にこの第2のデジタル信号が第2のSDACによって、第4のアナログ電圧に変換される。第3及び第4のアナログ電圧は第3の増幅器へ与えられ、その差電圧が標本化及び保持され、更に2倍に増幅されて次段のSTGへ出力される。一方、判定部では、第1及び第2のデジタル信号に基づいて最上位ビットに対応する1.5ビットのデジタル信号が生成される。

【0024】

このような構成により、各増幅器に入力されるアナログ電圧の範囲は従来の $1/2$ となり、高精度と高速度の要求を同時に満たすことが可能になる。

【0025】

第2の発明は、第1の発明と同様のパイプライン型ADCにおける初段のST

Gを、次のように構成している。

【0026】

即ち、この初段のSTGは、アナログ入力信号に基準電圧を加えた電圧を保持して出力する第1の保持部と、前記アナログ入力信号を保持して出力する第2の保持部と、前記アナログ入力信号から前記基準電圧を減じた電圧を保持して出力する第3の保持部と、前記アナログ入力信号を前記基準電圧の $\pm 1/2$ の電圧と比較して1.5ビットの第1のデジタル信号に変換する第1のサブAD変換器と、前記第1、第2及び第3の保持部から出力される電圧の1つを前記第1のデジタル信号に従って選択して第1のアナログ電圧として出力する選択部を備えている。

【0027】

更にこのSTGは、前記第1のアナログ電圧を1.5ビットの第2のデジタル信号に変換する第2のサブAD変換器と、前記第2のデジタル信号を第2のアナログ電圧に変換するサブDA変換器と、前記第1及び第2のアナログ電圧の差電圧を標本化及び保持して該保持した差電圧を2倍に増幅して次段のSTGへ与える増幅器と、前記第1及び第2のデジタル信号に基づいて最上位ビットに対応する1.5ビットのデジタル信号を生成する判定部を備えている。

【0028】

【発明の実施の形態】

(第1の実施形態)

図1は、本発明の第1の実施形態を示すパイプライン型ADCの概略の構成図である。

【0029】

このパイプライン型ADCは、相補的なタイミング信号TM、 $\overline{\text{TM}}$ に基づいて、変換対象のアナログ入力信号AIを一定周期で標本化して処理する入力処理部10と、この入力処理部10の出力信号をデジタル信号に変換する第1段目のSTG20を有している。更に、このパイプライン型ADCは、第2段目以降の複数のSTG30（但し、図1中には第2段目のみ記載）、最終段目のSDAC40、これらのSTG20、30とSDAC40の出力信号に基づいて所定ビ

ット数のデジタル信号DOを生成するエンコーダ50、及びタイミング生成部60を備えている。

【0030】

入力処理部10は、アナログ入力信号AIが与えられ、タイミング信号TMで周期的にオン・オフされるスイッチ(SW)11を有し、このスイッチ11の出力側に電圧増幅率1/2のSHA12が接続されている。SHA12は、入力された電圧を標本化して保持し、その保持した電圧V12を出力するものである。SHA12の出力側は、電圧V12を1.5ビットのデジタル信号DAに変換するSADCに接続されている。このSADCは比較器(CMP)13, 14とエンコーダ(ENC)15で構成され、SHA12の出力側がこれらの比較器13, 14の入力側に接続されている。

【0031】

比較器13, 14は、SHA12から出力される電圧V12を、それぞれ基準電圧 $+VR/4$ 、 $-VR/4$ と比較するもので、その出力側がエンコーダ15に接続されている。そして、エンコーダ15によって、電圧V12が、 $-VR/4$ 以下、 $-VR/4 \sim +VR/4$ 、 $+VR/4$ 以上の3つの電圧範囲の内のいずれに入っているかが検出されるようになっている。

【0032】

エンコーダ15の検出結果は、デジタル信号DAとしてSTG20に与えられると共に、1.5ビットのSDACの入力信号、言い換えるとSDACを構成するスイッチ16a, 16b, 16cに対する制御信号として与えられるようになっている。即ち、電圧V12が $-VR/4$ 以下の時は、スイッチ16aがオンとなって基準電圧 $+VR/2$ が選択され、 $-VR/4 \sim +VR/4$ の範囲の時には、スイッチ16bがオンとなって共通電圧VC(=0)が選択され、 $+VR/4$ 以上の時には、スイッチ16cがオンとなって基準電圧 $-VR/2$ が選択されるようになっている。

【0033】

更に電圧V12は、タイミング信号/TMでオン・オフされるスイッチ17を介して、SHA18の第1の入力端子に与えられている。SHA18の第2の入

力端子には、スイッチ 16 a ~ 16 c の出力側が接続されている。SHA 18 は、第 1 及び第 2 の入力端子に与えられる電圧の加算結果を標本化して保持し、保持した電圧を 2 倍に電圧増幅した電圧 VA を出力するものである。即ち、SHA 18 によって、電圧 V12 とこの電圧 V12 を 1.5 ビットにデジタル変換して更にアナログ変換された電圧との差電圧が、2 倍に増幅されるようになっている。

【0034】

一方、STG 20 は、入力処理部 10 から与えられる電圧 VA を、1.5 ビットのデジタル信号 DB に変換する SADC に接続されている。この SADC は比較器 21, 22 とエンコーダ 23 で構成され、電圧 VA がこれらの比較器 21, 22 に与えられるようになっている。比較器 21, 22 は、電圧 VA をそれぞれ基準電圧 $+VR/4$, $-VR/4$ と比較するもので、これらの比較器 21, 22 の出力側がエンコーダ 23 に接続されている。そして、エンコーダ 23 によって、電圧 VA が、 $-VR/4$ 以下、 $-VR/4 \sim +VR/4$, $+VR/4$ 以上の 3 つの電圧範囲の内のいずれに入っているかが検出されるようになっている。

【0035】

エンコーダ 23 の検出結果は、デジタル信号 DB として出力されると共に、1.5 ビットの SDAC を構成するスイッチ 24 a, 24 b, 24 c に対する制御信号として与えられるようになっている。即ち、電圧 VA が $-VR/4$ 以下の時には、スイッチ 24 a がオンとなって基準電圧 $+VR/2$ が選択され、 $-VR/4 \sim +VR/4$ の範囲の時には、スイッチ 24 b がオンとなって共通電圧 VC (= 0) が選択され、 $+VR/4$ 以上の時には、スイッチ 24 c がオンとなって基準電圧 $-VR/2$ が選択されるようになっている。

【0036】

更に電圧 VA は、タイミング信号 TM でオン・オフされるスイッチ 25 を介して、SHA 26 の第 1 の入力端子に与えられている。SHA 26 の第 2 の入力端子には、スイッチ 24 a ~ 24 c の出力側が接続されている。SHA 26 は、SHA 18 と同様に、第 1 及び第 2 の入力端子に与えられる電圧の加算結果を標本化して保持し、保持した電圧を 2 倍に電圧増幅して出力するものである。即ち、

SHA 2 6 によって、電圧 V A とこの電圧 V A を 1. 5 ビットにデジタル変換して更にアナログ変換された電圧との差電圧が、2 倍に増幅されるようになっている。

【 0 0 3 7 】

エンコーダ 1 5 から出力されたデジタル信号 D A は、半周期の遅延時間を有する遅延部 (D L Y) 2 7 を介して判定部 2 8 に与えられ、エンコーダ 2 3 から出力されるデジタル信号 D B は、そのままこの判定部 2 8 に与えられるようになっている。判定部 2 8 は、デジタル信号 D A, D B に基づいて、最上位ビット (以下、「M S B」という) に対応する 1. 5 ビットのデジタル信号 D 1 を判定し、エンコーダ 5 0 に与えるものである。

【 0 0 3 8 】

S T G 2 0 の出力側には、第 2 段目以降の S T G 3 0 が複数個、縦続して接続されている。各段の S T G 3 0 はいずれも同一の構成で、第 1 段目の S T G 2 0 とほぼ同様の構成となっている。即ち、S T G 3 0 は、S T G 2 0 から遅延部 2 7 と判定部 2 8 を削除したものである。

【 0 0 3 9 】

例えば、第 2 段目の S T G 3 0 は、S T G 2 0 から出力される電圧 V 2 6 を 1. 5 ビットのデジタル信号 D 2 に変換する比較器 3 1, 3 2 及びエンコーダ 3 3 からなる S A D C を有している。更に、この S A D C の出力側には、スイッチ 3 4 a, 3 4 b, 3 4 c で構成される 1. 5 ビットの S D A C が接続されている。そして、この S D A C の出力側が S H A 3 6 の第 2 の入力端子に接続され、この S H A 3 6 の第 1 の入力端子には、電圧 V 2 6 が、タイミング信号 / T M でオン・オフされるスイッチ 3 5 を介して、与えられるようになっている。S H A 3 6 は S H A 2 6 と同様のもので、その出力側から電圧 V 3 6 が出力されて次段の S T G へ与えられるようになっている。

【 0 0 4 0 】

また、最終段の S T G の出力信号は、2 ビットの S D A C 4 0 に与えられ、この S D A C 4 0 で最下位ビット (以下、「L S B」という) を含む 2 ビットのデジタル信号 D n に変換されて、エンコーダ 5 0 に与えられるようになっている。

。エンコーダ 50 は、各段の STG 20, 30 から出力される検出結果のデジタル信号 D1, D2, … を、タイミング信号 TM, /TM に基づいて順次シフトして保持し、SADC 40 から出力されるデジタル信号 Dn に対応して、アナログ入力信号 AI に対する各段の STG 20, 30 の検出結果をパイプライン処理し、n ビットのデジタル信号 DO を生成して出力するものである。

【0041】

図 3 は、図 1 中の入力処理部 10 の動作を示す入出力特性図である。以下、この図 3 を参照しつつ、図 1 の動作を説明する。

【0042】

アナログ入力信号 AI は、タイミング信号 TM に基づいてスイッチ 11 を介して SHA 12 に入力され、図 3 中の鎖線で示すように、 $1/2$ に増幅されて電圧 V12 として比較器 13, 14 へ与えられる。これにより、 $-VR \sim +VR$ の電圧範囲を有するアナログ入力電圧 AI は、電圧範囲が $-VR/2 \sim +VR/2$ の電圧 V12 に圧縮される。

【0043】

半周期後、タイミング信号 /TM によって、スイッチ 11 が開かれてスイッチ 17 が閉じられる。これにより、SHA 12 から出力される電圧 V12 は、そのタイミングで標本化されて保持され、保持された電圧 V12 がスイッチ 17 を介して、SHA 18 の第 1 の入力端子に与えられる。また、比較器 13, 14 の比較結果はエンコーダ 15 へ与えられ、このエンコーダ 15 によって電圧 V12 が、 $-VR/4$ 以下、 $-VR/4 \sim +VR/4$ 、 $+VR/4$ 以上の 3 つの電圧範囲の内のいずれに入っているかが検出される。

【0044】

エンコーダ 15 の検出結果は、デジタル信号 DA として遅延部 27 に与えられると共に、この検出結果に基づいてスイッチ 16a ~ 16c のいずれかがオンとなる。即ち、電圧 V12 が $-VR/4$ 以下であれば、スイッチ 16a がオンとなって基準電圧 $+VR/2$ が選択され、 $-VR/4 \sim +VR/4$ の時にはスイッチ 16b がオンとなって共通電圧 VC が選択され、 $+VR/4$ 以上の時には、スイッチ 16c がオンとなって基準電圧 $-VR/2$ が選択される。選択された電圧

は、SHA18の第2の入力端子に与えられる。

【0045】

SHA18では、2つの入力端子に与えられる電圧が加算され、その加算結果が2倍に増幅されて電圧VAとして出力される。従って、電圧VAは、図3中の太線で示すように、電圧V12が $-VR/2 \sim -VR/4$ の時に $0 \sim +VR/2$ となり、電圧V12が $-VR/4 \sim +VR/4$ の時に $-VR/2 \sim +VR/2$ となり、電圧V12が $+VR/4 \sim +VR/2$ の時に $-VR/2 \sim 0$ となる。即ち、SHA18から出力される電圧VAの範囲は、 $-VR/2 \sim +VR/2$ に圧縮される。

【0046】

更に半周期後、タイミング信号TMによって、スイッチ11がオンとなって新たなアナログ入力信号AIがSHA12に入力される。一方、スイッチ17がオフとなってSHA18から出力される電圧VAは、そのタイミングで標本化されて保持される。保持された電圧VAは、STG20のオフとなったスイッチ25を介して、SHA26の第1の入力端子に与えられる。更に、電圧VAは比較器21, 22によって基準電圧 $\pm VR/4$ と比較される。

【0047】

比較器21, 22の比較結果はエンコーダ23へ与えられ、このエンコーダ23によって電圧VAが、 $-VR/4$ 以下、 $-VR/4 \sim +VR/4$, $+VR/4$ 以上の3つの電圧範囲の内のいずれに入っているかが検出される。エンコーダ23の検出結果は、デジタル信号DBとして判定部28に与えられると共に、この検出結果に基づいてスイッチ24a~24cのいずれかがオンにされる。即ち、電圧VAが $-VR/4$ 以下であれば、スイッチ24aがオンとなって基準電圧 $+VR/2$ が選択され、 $-VR/4 \sim +VR/4$ の時にはスイッチ24bがオンとなって共通電圧VCが選択され、 $+VR/4$ 以上の時には、スイッチ24cがオンとなって基準電圧 $-VR/2$ が選択される。選択された電圧は、SHA26の第2の入力端子に与えられる。

【0048】

SHA26では、2つの入力端子に与えられた電圧が加算され、その加算結果

が2倍に増幅されて電圧V26として出力される。従って、電圧V26は、電圧VAが $-VR/2 \sim -VR/4$ の時に $0 \sim +VR/2$ となり、電圧VAが $-VR/4 \sim +VR/4$ の時に $-VR/2 \sim +VR/2$ となり、電圧VAが $+VR/4 \sim +VR/2$ の時に $-VR/2 \sim 0$ となる。即ち、SHA26から出力される電圧V26の範囲は、 $-VR/2 \sim +VR/2$ である。

【0049】

一方、判定部28では、エンコーダ15から出力されて遅延部27で遅延されたデジタル信号DAと、エンコーダ23から出力されたデジタル信号DBに基づいて、次のようにMSBの判定処理が行われる。

【0050】

デジタル信号DAによって電圧V12が $-VR/4$ 以下と検出されていればMSB = “0”、また電圧V12が $+VR/4$ 以上と検出されていればMSB = “1”とする。電圧V12が $-VR/4 \sim +VR/4$ と検出されている場合は、更にデジタル信号DBによる電圧VAの検出結果が参照される。

【0051】

そして、デジタル信号DBによって電圧VAが $-VR/4$ 以下と検出されていればMSB = “0”、また電圧VAが $+VR/4$ 以上と検出されていればMSB = “1”とする。もしも、電圧VAが $-VR/4 \sim +VR/4$ と検出されている場合は、判定が保留されて次段のSTG30以降の検出結果に委ねられる。判定部28の判定処理の結果は、デジタル信号D1として、エンコーダ50に与えられる。

【0052】

STG20から出力される電圧V26は、次段のSTG30に与えられる。STG30では、与えられた電圧V26に対してSTG20中の比較器21乃至SHA26と同様の動作が行われる。このSTG30では、説明は割愛するが、エンコーダ33からエンコーダ50に対してデジタル信号D2が出力され、SHA36から後段のSTGに対して電圧V36が出力される。縦続接続されたSTG30の最終段の出力電圧はSDAC40に与えられ、このSDAC40でLSBを含む2ビットのデジタル信号Dnに変換される。

【0053】

エンコーダ50では、各STG20, 30から出力される検出結果のデジタル信号D1, D2, …が、タイミング信号TM, /TMに基づいて順次シフトして保持される。そして、SADC40から出力されるデジタル信号Dnに対応して、アナログ入力信号AIに対する各STG20, 30の検出結果が総合的に判定され、所定のnビットのデジタル信号DOが生成されて出力される。

【0054】

以上のように、この第1の実施形態のパイプライン型ADCは、アナログ入力信号AIの電圧範囲を1/2に圧縮して入力される電圧の範囲を検出し、この検出結果に基づいて入力電圧のレベルをシフトして再び2倍に増幅する入力処理部10を有している。このため、各SHAの入力電圧範囲と出力電圧範囲を、従来の1/2に制限することができる。これにより、動作速度を低下させずに、直線性を良くすることが可能になり、速度及び精度の優れたパイプライン型ADCを得ることができるという利点がある。

【0055】

(第2の実施形態)

図4(a), (b)は、本発明の第2の実施形態を示す入力処理部70の説明図であり、同図(a)は構成図、及び同図(b)は動作を示す入出力特性図である。

【0056】

この入力処理部70は、図1中の入力処理部10に代えて設けられるもので、図4(a)に示すように、タイミング信号TMでオン・オフされるスイッチ71を有し、アナログ入力信号AIがこのスイッチ71を介して、SHA72a, 72b, 72cの第1の入力端子と、比較器73, 74に共通に与えられるようになっている。SHA72a~72cの第2の入力端子には、基準電圧+VR, 共通電圧VC(=0), 基準電圧-VRがそれぞれ与えられている。これらのSHA72a~72cは、第1と第2の入力端子に与えられる電圧を加算し、その加算結果の電圧を保持して出力するものである。SHA72a~72cの出力側は、それぞれスイッチ75a, 75b, 75cを介して、ノードNAに共通接続さ

れている。

【0057】

比較器 73, 74 は、それぞれアナログ入力信号 $A I$ を基準電圧 $+V R / 2$, $-V R / 2$ と比較し、比較結果の信号をエンコーダ 76 に出力するものである。エンコーダ 76 は、比較器 73, 74 の比較結果に基づいて、アナログ入力信号 $A I$ が、 $-V R / 2$ 以下、 $-V R / 2 \sim +V R / 2$, $+V R / 2$ 以上の 3 つの電圧範囲の内のいずれに入っているかを検出するものである。即ち、比較器 73, 74 とエンコーダ 76 によって、1.5 ビットの SADC が構成され、このエンコーダ 76 の検出結果が、デジタル信号 $D A$ として出力されると共に、スイッチ 75 a ~ 75 c に対する制御信号として与えられるようになっている。

【0058】

これにより、アナログ入力信号 $A I$ が $-V R / 2$ 以下の時は、スイッチ 75 a がオンとなり、 $-V R / 2 \sim +V R / 2$ の範囲の時には、スイッチ 75 b がオンとなり、 $+V R / 2$ 以上の時には、スイッチ 75 c がオンとなるように制御されるようになっている。そして、スイッチ 75 a ~ 75 c のいずれか 1 つで選択された電圧が、電圧 $V A$ としてノード $N A$ に出力されるようになっている。

【0059】

次に動作を説明する。

スイッチ 71 がオンになると、アナログ入力信号 $A I$ が $S H A 72 a \sim 72 c$ の第 1 の入力端子に与えられる。これにより、図 4 (b) に示すように、 $S H A 72 a$ から出力される電圧 $V 72 a$ は、 $A I + V R$ となる。また、 $S H A 72 b$ から出力される電圧 $V 72 b$ は $A I$ となり、 $S H A 72 c$ から出力される電圧 $V 72 c$ は $A I - V R$ となる。

【0060】

一方、エンコーダ 76 からは、アナログ入力信号 $A I$ が、 $-V R / 2$ 以下の時に、スイッチ 75 a をオンにする制御信号が出力される。従って、アナログ入力電圧 $A I$ が $-V R / 2$ 以下の時、ノード $N A$ に出力される電圧 $V A$ は、図 4 (b) 中の電圧 $V 72 a$ の太線部分となる。また、アナログ入力信号 $A I$ が、 $-V R / 2 \sim +V R / 2$ の時には、スイッチ 75 b がオンにされ、ノード $N A$ に出力さ

れる電圧 V_A は、図 4 (b) 中の電圧 V_{72b} の太線部分となる。更に、アナログ入力信号 A_I が、 $+V_R/2$ 以上の時には、スイッチ $75c$ がオンにされ、ノード NA に出力される電圧 V_A は、図 4 (b) 中の電圧 V_{72c} の太線部分となる。

【0061】

従って、この入力処理部 70 のノード NA から出力される電圧 V_A は、図 3 に示される図 1 中の入力処理部 10 の電圧 V_A と同じように、 $-V_R/2 \sim +V_R/2$ の電圧範囲となる。

【0062】

以上のように、この第 2 の実施形態の入力処理部 70 は、アナログ入力信号 A_I の絶対値が $V_R/2$ を越える電圧範囲に対して、基準電圧 V_R だけシフトさせるように構成し、その結果の電圧 V_A を $-V_R/2 \sim +V_R/2$ の範囲に収めるようにしている。これにより、後段の各 SHA の入力電圧範囲と出力電圧範囲を、従来の $1/2$ に制限することが可能になり、第 1 の実施形態よりも簡単な構成で、この第 1 の実施形態と同様の利点を得ることができる。

【0063】

なお、本発明は、上記実施形態に限定されず、種々の変形が可能である。この変形例としては、例えば、次のようなものがある。

【0064】

(a) 各 $SHA_{18, 26}$ 等では、第 1 と第 2 の入力端子に与えられる電圧を加算しているが、例えば第 2 の入力端子に与える電圧の極性を逆にして、減算するように構成しても良い。即ち、各 $SHA_{18, 26, 36}$ において、前段から与えられるアナログ電圧と 1.5 ビットの $SDAC$ から出力されるアナログ電圧の差電圧が増幅されて出力されるように構成すれば良い。

【0065】

(b) 最終段には 2 ビットの $SADC_{40}$ を設けているが、 STG_{30} を 1 段増やして 1 ビットの $SADC$ を使用することもできる。

【0066】

(c) 各 STG は、比較電圧を 2 種類として電圧範囲を 3 つに分類する 1.5

ビット方式となっているが、比較電圧を 4 種類として電圧範囲を $1/4$ の 5 つに分類する 2.5 ビット方式を使用することもできる。

【0067】

(d) 図 1 の入出力部 10 では、SHA12 の利得を $1/2$ とし、SHA18 の利得を 2 倍に設定しているが、SHA12 の利得を $1/4$ とし、SHA18 の利得を 4 倍に設定しても良い。

【0068】

【発明の効果】

以上詳細に説明したように、第 1 の発明によれば、アナログ入力信号を保持してそのアナログ入力信号の $1/N$ の電圧を出力する第 1 の増幅器を備えた初段の STG を有している。これにより、各 STG 中の増幅器の入力電圧範囲が $1/N$ となり、増幅器によって直線性の良い出力電圧を得ることが可能になって、高精度と高速度の要求を同時に満たすパイプライン型 ADC を得ることができる。

【0069】

第 2 の発明によれば、初段の STG において、アナログ入力信号を基準電圧だけ増減させて出力する第 1 及び第 3 の保持部と、このアナログ入力信号を基準電圧の $\pm 1/2$ の電圧と比較して 1.5 ビットの第 1 のデジタル信号に変換する第 1 の SADC と、この第 1 のデジタル信号の基づいて、アナログ入力信号または第 1 または第 3 の保持部の出力電圧を選択する選択部を有している。これにより、選択部から出力される第 1 のアナログ電圧の範囲を常に基準電圧の $\pm 1/2$ 以内に収めることが可能になり、第 1 の発明と同様の効果が得られる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態を示すパイプライン型 ADC の概略の構成図である。

【図 2】

従来のパイプライン型 ADC の概略を示す構成図である。

【図 3】

図 1 中の入力処理部 10 の動作を示す入出力特性図である。

【図 4】

本発明の第 2 の実施形態を示す入力処理部 7 0 の説明図である。

【符号の説明】

1 0 入力処理部

1 2, 1 8, 2 6, 3 6 S H A (サンプル・ホールド増幅器)

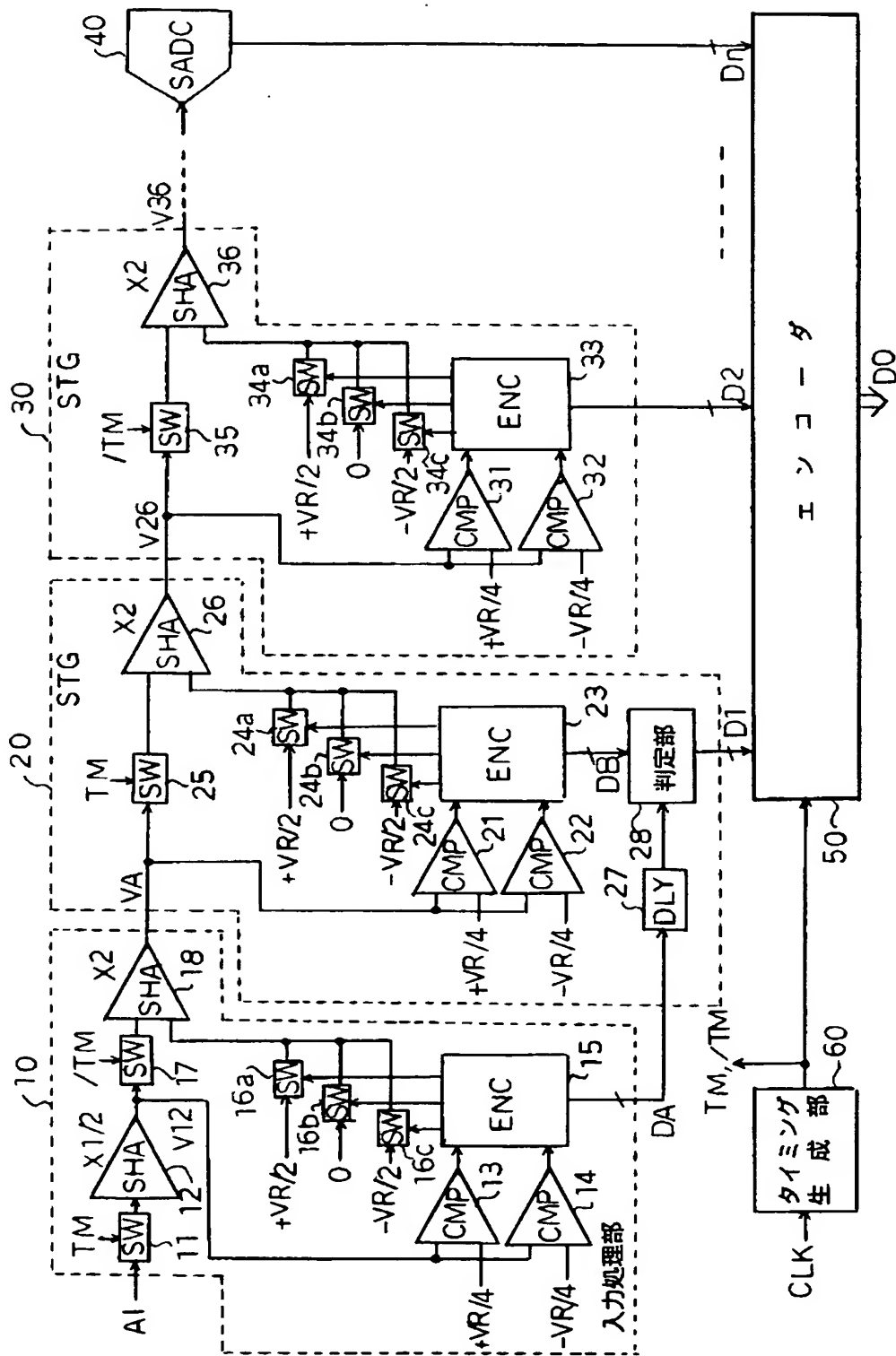
1 3, 1 4, 2 1, 2 2, 3 1, 3 2 比較器

1 5, 2 3, 3 3, 5 0 エンコーダ

2 0, 3 0 S T G (アナログ・デジタル変換ステージ)

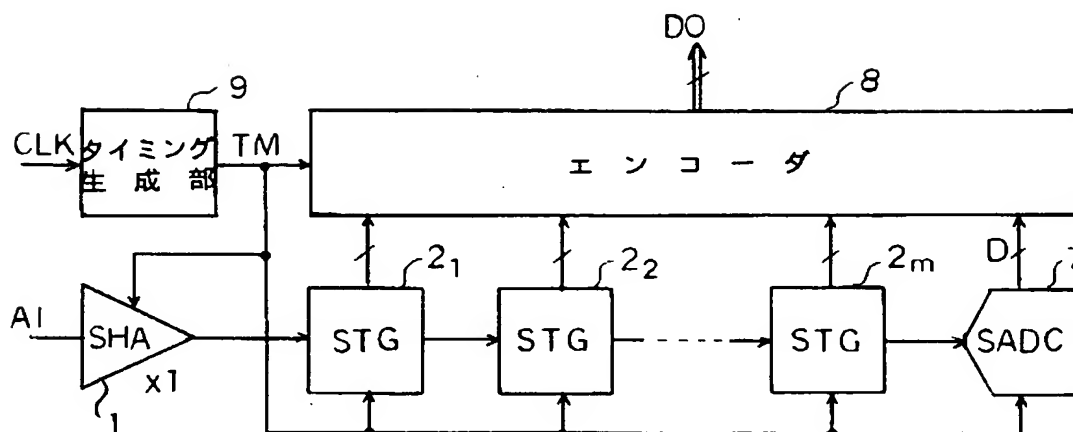
【書類名】 図面

【図 1】

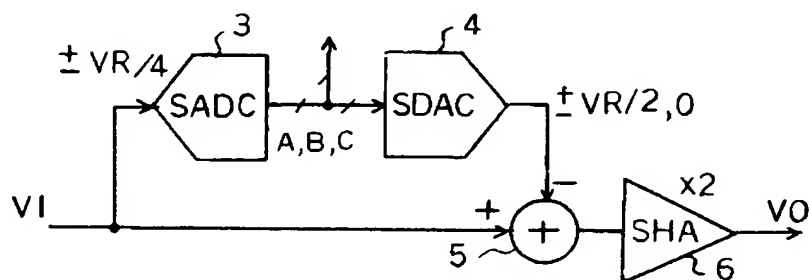


本発明の第 1 の実施形態のパイプライン型 A/D C

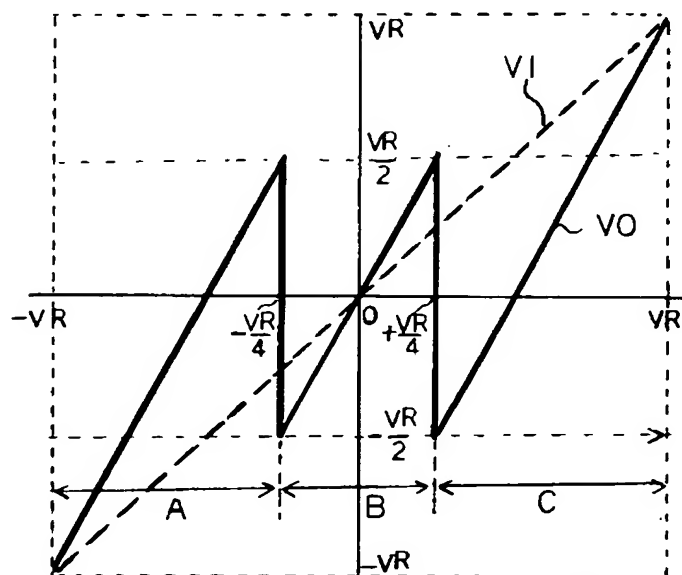
【図 2】



(a) 全体構成



(b) STG 2 の構成



(c) STG 2 の入出力特性

従来のパイプライン型 ADC

【図 3】

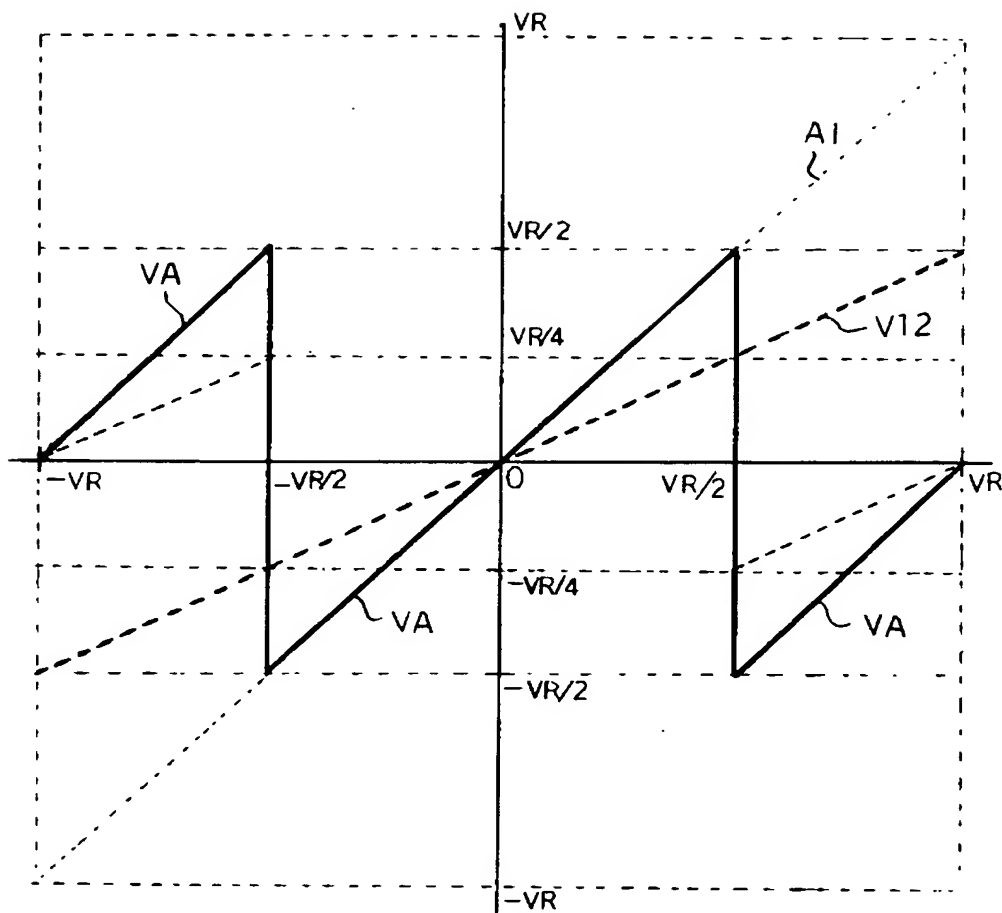
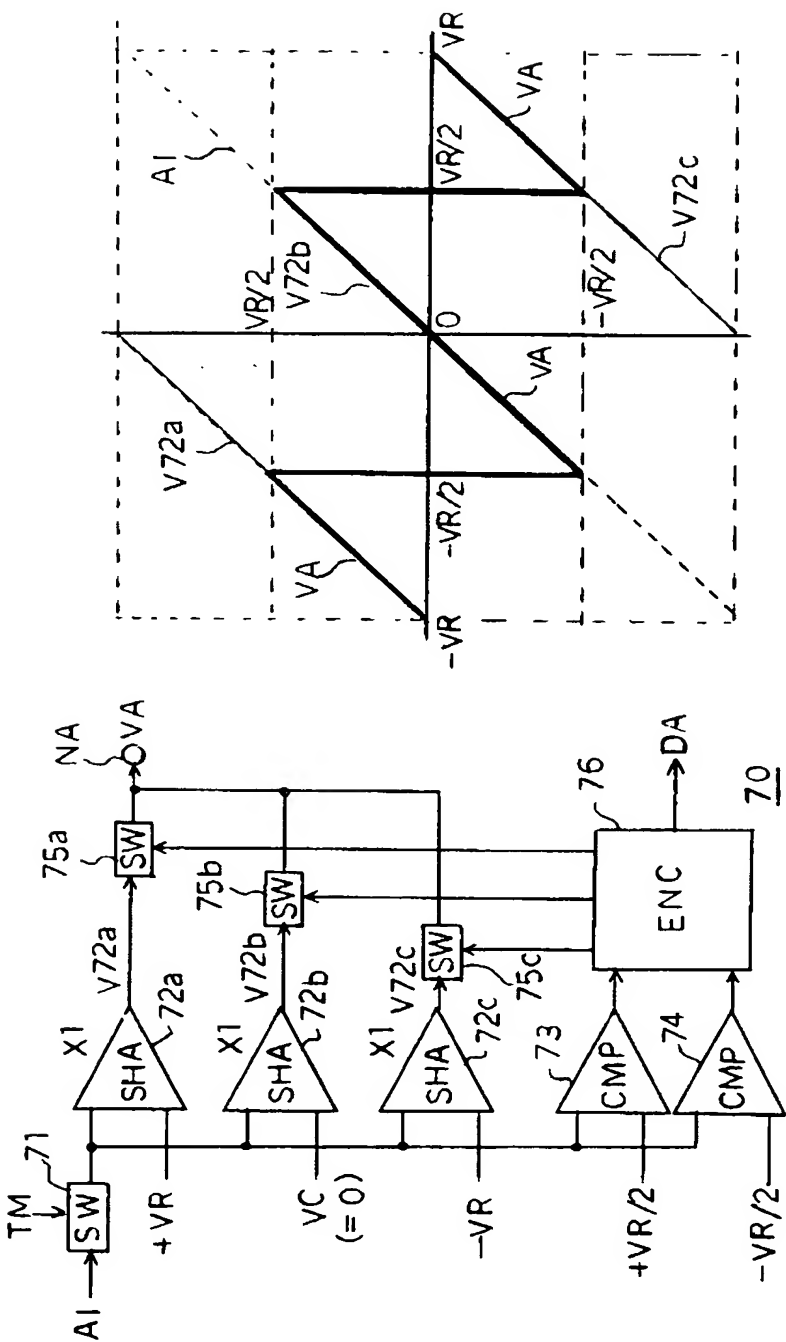


図 1 中の入力処理部 10 の入出力特性

【図 4】



(a) 構成

(b) 入出力特性

本発明の第2の実施形態の入力処理部

【書類名】 要約書

【要約】

【課題】 高精度と高速度の要求を同時に満たすパイプライン型アナログ・デジタル変換器を提供する。

【解決手段】 アナログ入力信号 A I は、電圧増幅率 $1/2$ のサンプル・ホールド増幅器 (S H A) 1 2 によって保持され、電圧 V 1 2 として出力される。電圧 V 1 2 は、サブ・アナログ・デジタル変換器 (S A D C : 比較器 1 3, 1 4 及びエンコーダ 1 5) で 1. 5 ビットのデジタル信号に変換され、更にサブ・デジタル・アナログ変換器 (S D A C : スイッチ 1 6 a ~ 1 6 c) でアナログ信号に変換されて S H A 1 8 に与えられる。S H A 1 8 では、電圧 V 1 2 と S D A C の差電圧が 2 倍に増幅されて電圧 V A として、次のアナログ・デジタル変換ステージ 2 0 に与えられる。これにより、各 S H A の入力電圧範囲は、従来の $1/2$ に抑えられ、直線性を損なうことなく高速動作が可能になる。

【選択図】 図 1

特願 2 0 0 3 - 1 3 5 4 5 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 0 2 9 5]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

東京都港区虎ノ門 1 丁目 7 番 1 2 号

氏 名

沖電気工業株式会社